

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-181163

(43)Date of publication of application : 07.08.1991

(51)Int.Cl.

H01L 25/10

H01L 25/11

H01L 25/18

(21)Application number : 02-325100

(71)Applicant : INMOS LTD

(22)Date of filing : 27.11.1990

(72)Inventor : WAKEFIELD ELWYN P M  
WALKER CHRISTOPHER P H

(30)Priority

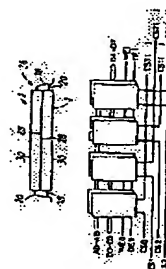
Priority number : 89 8927164    Priority date : 01.12.1989    Priority country : GB

## (54) SEMICONDUCTOR CHIP PACKAGE

(57)Abstract:

PURPOSE: To realize a rotational and linear symmetry by employing a pin-out construction for decreasing the surface area by stacking semiconductor chip packages.

CONSTITUTION: Semiconductor chip packages P2 are abutting each other on the upper surface 28 and separated from each other on the bottom face 30 thereof. Pins 18, 20 on one P2 are connected with adjacent pins 20, 18 of the other P2 to constitute a module 26. The module 26 is provided with sixteen address input ends A0-A15 corresponding to those of P2 on the underside. The module 26 has write enable input ends WE0, WE1, output enable input ends OE0, OE1, eight select CS input ends CS0-CS3, i.e., input ends of four chips in the package 2 on the underside, and CS0 (upper side)-CS3 (upper side), i.e., the chip select inputs for four chips in the package 2 on the upper side. Pins are laid out such that the chip select and redundant pins are symmetrical to a line parallel with the pins. Consequently, a rotationally and linearly symmetric arrangement can be realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平3-181163

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月7日

H 01 L 25/10

7638-5F  
7638-5FH 01 L 25/14  
25/10Z  
Z※

審査請求 未請求 請求項の数 17 (全9頁)

⑭ 発明の名称 半導体チップ・パッケージ

⑮ 特 願 平2-325100

⑯ 出 願 平2(1990)11月27日

優先権主張 ⑰ 1989年12月1日 ⑱ イギリス(GB) ⑲ 8927164.7

⑳ 発 明 者 エルウイン、ポール、 イギリス国ブリストル、クーム、デイングル、クランベリ  
マイケル、ウエイクフ ー、ウォーク、28  
イールド㉑ 発 明 者 クリストファー、ポー イギリス国エイボン、ポータイスヘッド、ドレイクス、ウ  
ル、ハルム、ウォーカ エイ、35  
ー㉒ 出 願 人 インモス、リミテッド イギリス国ブリストル、アーマンズベリー、アズテック、  
ウェスト、1000㉓ 代 理 人 弁理士 佐藤 一雄 外3名  
最終頁に続く

## 明 細 書

## 1. 発明の名称

半導体チップ・パッケージ

## 2. 特許請求の範囲

1. パッケージに配置された少なくとも1つの半導体チップと前記パッケージから延在する複数の第1および第2ピンとを備え、前記第1ピンは前記少なくとも1つの半導体チップに電気的に接続されて前記少なくとも1つの半導体チップと外部回路との間に信号を導通させ、前記第1ピンは複数の組に分割されて各組は対応する信号形式を表わし、前記第2ピンは前記少なくとも1つの半導体チップに電気的に接続されてなく、前記少なくとも1つの組の第1ピンと第2ピンがパッケージの縁に沿って非対称に配置されて、前記第1ピンの残りの組は前記パッケージの縁に沿って対称に配置されていることを特徴とする半導体チップ・パッケージ。

2. 前記第1および第2ピンが前記パッケージの1対の対抗縁上に配置されていることを特徴とする請求項1に記載の半導体チップ・パッケージ。

3. 第1ピンの前記残りの組の配置が線対称であることを特徴とする請求項2に記載の半導体チップ・パッケージ。

4. 前記残りの組の各第1ピンは同じ組の対応する第1ピンに相対しており、前記少なくとも1つの組の各第1ピンは対応する第2ピンに相対していることを特徴とする請求項2または3に記載の半導体チップ・パッケージ。

5. 前記少なくとも1つの組の第1ピンがチップ選択ピンを含むことを特徴とする請求項1乃至4のいずれかに記載の半導体チップ・パッケージ。

6. 前記少なくとも1つの組の第1ピンがデータ・ピンを含むことを特徴とする請求項1乃至4のいずれかに記載の半導体チップ・パッケージ。

7. 前記第1および第2ピンは前記パッケージの

ジの4つの線のそれぞれに配置されていることを特徴とする請求項1に記載の半導体チップ・パッケージ。

8. 前記パッケージの相対する線上に第1ピンの前記残りの組が線対称に配置されていることを特徴とする請求項7に記載の半導体チップ・パッケージ。

9. 前記パッケージの隣接線上に第1ピンの前記残りの組が回転対称位置に配置されていることを特徴とする請求項7または8に記載の半導体チップ・パッケージ。

10. 前記少なくとも1つの組の前記第1ピンと前記第2ピンは前記パッケージの相対する線上に非対称に配置されていることを特徴とする請求項7乃至9のいずれかに記載の半導体チップ・パッケージ。

11. 前記残りの組の各第1ピンはそれに対応する第2ピンに相対し、前記少なくとも1つの組の各第1ピンには相対さない第2ピンはそれに対応する第2ピンに相対することを特徴とする請

一方のパッケージ上に取付けられて、前記2つのパッケージの前記第1および第2ピンがモジュールの共通線に沿って接続されていることを特徴とする請求項14に記載のモジュール。

16. 各パッケージで、前記第1および第2ピンは前記パッケージの4つの線それぞれに配置されており、最初に述べた第1の積重ね対上に積み重ねられたパッケージの追加積重ね対を含み、前記追加積重ね対は前記第1の積重ね対に関して回転して、前記第1の積重ね対の各第1ピンまたは第1ピン接続は前記追加積重ね対の前記第1ピンまたは第1ピン接続に接続されて、前記第1の積重ね対の各第1ピンまたは第2ピン接続が前記追加積重ね対の第2ピンまたは第2ピン接続に接続されることを特徴とする請求項15に記載のモジュール。

17. 前記追加積重ね対の上に積み重ねられているさらに2つのパッケージの積重ね対を含み、前記さらに2つの積重ね対は互いに関して回転していると共に最初に述べた積重ね対および追加

請求項7乃至10のいずれかに記載の半導体チップ・パッケージ。

12. 前記少なくとも1つの組の第1ピンがチップ選択ピンを含むことを特徴とする7ないし11のいずれかに記載の半導体チップ・パッケージ。

13. 前記少なくとも1つの組の第1ピンがデータ・ピンを含むことを特徴とする請求項7乃至11のいずれかに記載の半導体チップ・パッケージ。

14. 請求項1記載の半導体チップ・パッケージを2つ含むモジュールであって、パッケージの積重ね対を形成するよう一緒に積み重ねられて、一方のパッケージの前記残りの組の各第1ピンが他方のパッケージの対応する第1ピンに接続されており、前記一方のパッケージの前記少なくとも一つの組の各第1ピンが前記他のパッケージの各第2ピンに接続されていることを特徴とする半導体チップ・パッケージのモジュール。

15. 前記他方のパッケージは逆さまに前記

された積重ね対に関して回転されていることを特徴とする請求項16に記載のモジュール。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は単一の半導体チップ・パッケージおよび半導体チップ・パッケージのモジュールに関する。

#### (従来の技術)

電子工業業界では、つねに電子部品の寸法の縮小が要求されている。現在では、シリコン・デバイスの製造およびそうしたデバイスがプリント回路基板上で組み立てられる方法において、電子部品は3次元、すなわち、垂直方向に広がっていく傾向にある。

本出願人 (INMOS 社) は現在トランスピュータ (チップ上のコンピュータ) モジュール (TRAMS) を製造している。このモジュールは、それらの上にある冗長ピンを使用して積み重ねることができ、ただし、そのモジュールはどの回路にも接

統できるわけではない。それらの冗長ピン上に能動回路をもつTRANは、冗長ピンに接続できるので、母板に接続可能である。

ランダム・アクセス・メモリ (RAMs) は従来偶数個のピンをもつデュアル・イン・ライン・モジュール (DIPs) の中に入っている。奇数個のピンが必要なデバイスの場合、これらのピンの1つは通常余分になり接続されない。この冗長ピンがRAMを選択する信号の1つに隣接している場合、2つの異なるRAMの組立体を構築することができる。すなわち、チップ選択 (CS) 用の通常のピンを使用する組立体とチップ選択用の隣接ピンを使用する組立体である。2つの異なるRAMのそれぞれの対が積み重ねてあれば、それは、プリント回路基板上では2つのチップ選択ピンをもつ単一デバイスである。上側のデバイスは下側のデバイスの冗長ピンの上にあるチップ選択ピンをもち、下側のデバイスは上側のデバイスの冗長ピンの下にあるチップ選択ピンをもつ。この構成の欠点は、2つの異なる構成のRAMが必要なことである。通

常のチップ選択ピンに接着されたシリコン・チップ上にチップ選択ピンをもつものと、通常非接続 (NC) ピンに接着されたチップ選択パッドをもつものである。

(発明が解決しようとする課題)

EP-A-0157147 (IBM) には、工業規格メモリ・チップを使用するスタック倍密度メモリ・モジュールが開示されている。これは上述の周知の構成を修正したものである。最上部のチップでは、チップ選択ピンが底部のチップ上の対応するピンに接触しないように折り曲げられ、上側のチップ選択ピンはU型帯の形のジャンパーにより上側のチップの非接続ピンに接続されている。その非接続ピンは底部のチップの最下層の非接続ピンに接触する。この構成には、2つの異なるチップ組立体、すなわち、ジャンパーをもつものとたないものが必要であるという欠点がある。さらに、最上部チップのピンの1つをジャンパーを保持するように折曲げるか切断しなければならない。

(課題を解決するための手段及び作用)

従来のものがもつ、以上のような欠点を解決するために、本発明は、パッケージに配置された少なくとも1つの半導体チップとそのパッケージから延在する複数の第1および第2ピンを含む半導体チップ・パッケージを提供する。前記第1のピンはその少なくとも1つの半導体チップに電気的に接続されて、少なくとも1つの半導体チップと外部電子回路間に信号を導通させるように適応されており、前記第1のピンは複数の組に分割されて、各組は対応する信号型を表わし、前記第2のピンは少なくとも1つの半導体チップに電気的に非接続であり、少なくとも1つの組の第1のピンと第2のピンはパッケージの縁にそって非対称的に配置されており、第1ピンの残りの組はパッケージの縁に沿って対称的に配置される。

本発明はさらに半導体チップ・パッケージのモジュールも提供する。このモジュールは、パッケージの重ねられた対を形成するように本発明によるスタック半導体チップ・パッケージを2つ含

み、1つのパッケージの前記残りの組の各第1のピンは他のパッケージの対応する第1ピンに接続されて、前記パッケージの前記少なくとも1つの組の各ピンが前記他のパッケージの各第2ピンに接続されている。

(実施例)

第1図ないし第3図には本発明の第1実施例による半導体チップ・パッケージ2が示されている。半導体チップ・パッケージ2は、内部に1つまたは複数の半導体チップ (図示せず) がカプセル封入されている外部ケース4を含む。この実施例は、4つのRAMチップが外部ケース4にカプセル封入され、これらのチップは第3図に示す4つのブロック6、8、10、12により示されている。外部ケース4の対抗縁14、16にはピン18、20の各行が配置されている。ピン18、20は、パッケージの対抗縁に配置され、従来のデュアル・インライン形式に構成されているが、第2図に示すように、それらのピンはガル・ウイング・リードとして形成される。そのパッケージ2の記憶

容量は4×64K×4または2×64K×8である。

図示された実施例では、パッケージは40個のピンをもつ、2個のピンはパッケージ2の縁14、16のそれぞれに沿って配置されている。それらのピンは第1図では1から40と番号付けられている。それらのピンは16個のアドレス入力(A0ないしA15)、8個のデータ信号ピン(D0ないしD7)、2個の電力供給ピン(VCC)、2個の接地ピン(GND)、4個のチップ選択ピン(CS0ないしCS3)、2個の書き込み許可ピン(WE0ないしWE1)および2個の出力許可ピン(OE0ないしOE1)を含む。これらのピンはそれぞれ、第3図に概略的に示されているように、1つまたは複数のチップに接続される(解かりやすくするためにVCCおよびVGDピンは第3図では除かれている)。したがって、これらのピンは第1型のピン22を構成する。第1型のピン22は、パッケージ2の中の少なくとも1つの半導体チップ6、8、10、12に電気的に接続されて、少なくとも1つの半導体

チップ6、8、10、12と外部回路(図示せず)の間に電気信号を導通させる。第1型のピンは複数の組に分割され、各組は対応する信号型、すなわち、アドレス入力ピン(A)、データ信号ピン(D)、電力供給ピン(VCC、GND)および様々な制御ピン(CS、WE、OE)を表わす。そのパッケージはさらに4つの冗長ピン24を備えている。それらの冗長ピン24は第1図のピン24ないし27により構成されている。冗長ピン24は、パッケージ2の少なくとも1つの半導体チップ6、8、10、12には電気的に非接続である第2型ピン24を構成する。

次に、パッケージ2上の第1型ピン22と第2型ピン24の分布を説明する。1組の第1型ピン22、すなわち、CSピン以外のすべての第1型ピン22は、パッケージ2の各側14、16に対称に配置されている。すなわち、相対する、各アドレスA、電力VCCまたはGND、データD、書き込み許可WEまたは出力許可OEピンは同じ組の他の同じピンである。チップ選択CSピンと冗

長NCピンは、4つのチップ選択CSピンの各対抗線に冗長NCピンがあるように、パッケージ2の各側部14、16に非対称的に配置されている。チップ選択CSピン以外の第1型ピン22の組のピンでは、2つの側部14と16に平行なパッケージの中心を縦方向に延在する面に関して左右対称である。したがって、ピンアウトは、チップ選択信号を除くすべての信号に関して対称であり、チップ選択CSピンを左右対称にするためにさらにチップ選択CSピンを必要とする場合には冗長NCピンを備える。

第4図は、第1図の2つの半導体チップ・パッケージ2の積重ね構成を含むモジュール26を示す。半導体チップ・パッケージ2は、同じ半導体チップ・パッケージ2の対の1方を他方に関して逆さまにして2重積み重ねられ、2つの半導体チップ・パッケージ2の上面28は互いに隣接して、底面30は互いに隔置されている。各パッケージ2の対抗側部上のピン18、20は、他のパッケージ2の直接隣接するピン20、18に第4図に

示してあるように接続されている。すなわち、一方のパッケージ2のピン1(VCC)は他方のパッケージ2のピン40(VCC)に接続される。逆も同様である。一方のパッケージ2のピン(A)は他方のパッケージ2のピン39(A)に接続されて、そのピンの両方ともアドレス入力端である。半導体デバイスは読取り専用メモリ(ROM)ではなくRAMなので、アドレス入力端が異なるパッケージ間で接続される方法は重要ではない。同様の接続がデータDピン、書き込み許可WEピン、出力許可OEピンおよび接地GNDピンの間で形成される。しかし、一方のパッケージ2の各冗長NCピン(14ないし17のピン)は他方のパッケージ2の各冗長NCピン(27ないし24のピン)に接続される。そのため、スタック・モジュール26は個々のパッケージの2倍のCSピンをもつ。その結果作成されたスタック・モジュールの回路図が第5図に示されている。第5図から、総数16のアドレス入力端があることが分かるが、それは、2つのパッケージ2の32のアドレス入

力ピンは一緒に対として接続されるので、結果として、最終的に作成されたモジュール26には16個のアドレス入力端A0ないしA15しか形成されてない。第5図の16個のアドレス入力端A0ないしA15の区別は下側のパッケージ2のそれに対応している。同様の理由で、そのモジュールはさらに8個のデータ入力端D0ないしD7しか備えてなく、第5図のこれらのデータ入力端の区別は下側のパッケージのそれに対応している。同様に、モジュール26は2つの書き込み許可入力端WE0ないしWE1をもち、これらの入力端の区別は下側のパッケージのそれに対応する。さらに、同様に、モジュール26は2つの出力許可入力端OE0ないしOE1をもち、これらの入力端の区別は下側のパッケージ2のそれに対応する。モジュール26は8つのチップ選択CS入力端をもち、チップ選択CS入力端の総数は個別のパッケージ2の総数に対応する。とういのは、チップ選択CS入力端は冗長NC入力端に接続されて、互いに対になるように接続されない。4つのチップ

選択入力端CS0ないしCS3は、下側のパッケージ2の4つのチップの入力端であり、4つのチップ選択入力端CS0（上側）ないしCS3（上側）は、上側のパッケージ2の4つのチップ用のチップ選択入力端である。

モジュール26の記憶容量は $8 \times 64 \text{ K} \times 4$ または $4 \times 64 \text{ K} \times 8$ である。

図示された実施例では、チップ選択CSピンは非対称である。データ・ピンではなくチップ選択ピンを非対称にする利点は、パッケージの電力が削減されて、使用されているピンの総数が減少する。しかし、他の実施例では、ピン14、15、27、26にチップ選択信号を適用して、ピン8、9、10、11に4つのデータ信号を適用して、ピン33、32、31、30は、冗長（NC）になり、ピン16、17、24、25も未使用になる。オプションとして、ピン22、23も冗長ピンなる。この型の単一パッケージの記憶容量は、 $4 \times 64 \text{ K} \times 4$ であり、2重スタックト・モジュールの記憶容量は $4 \times 64 \text{ K} \times 8$ である。

第1図ないし第5図に示されたデバイスでは、ピンアウトはピン1ないし20に平行な線に関して対称であり、チップ選択および冗長ピンが対称になるように形成されている。しかし、他の実施例では、線対称と共にまたは替わりに回転対称が考慮されている。

たとえば、2つの線上のピンをもつパッケージでは、180度の角度で回転対称にでき、これにより、4つのスタックト・パッケージのモジュールを形成可能である。こうした構成は、第6図と第7図に示される本発明の第2の実施例を構成する。

第6図は、1つまたは複数の半導体チップ（図示せず）がカプセル封入された外部ケース72をもつ半導体チップ・パッケージ70の概略平面図である。この実施例では、2または4つのRAMチップが外部ケース72にカプセル封入されて、 $2 \times 64 \times 8$ の記憶容量をもつ。外部ケース72の対抗線74、76上にピン78、80の各行が配置されて、その構成は第1図と第2図に示す第

1実施例の構成と同様である。この実施例では、パッケージ72は48個のピンをもち、24個のピンはそれぞれパッケージ72の線74と76のそれぞれに沿って配置される。ピンは1から48と番号付けられる。1つまたは複数の半導体チップに電気的に接続されたピン82は、16個のアドレス入力端（A）、8個のデータ信号ピン（D）、4個の電力供給ピン（VCC）、4個の接地ピン（GND）、2個のチップ選択ピン（CS）、4個の書き込み許可ピン（WE）および4個の出力許可ピン（OE）を含む。これらのピン82はパッケージ70の1つまたは複数のチップに接続される。ピンには、第6図のピン13、14、35、36、37、38により構成されている6個の冗長ピン84も含む。冗長ピン84はパッケージ70の少なくとも1つの半導体チップには電気的に接続されていない。

パッケージ70上に、チップ選択CSピン以外のすべての接続ピン、すなわち、VCC、GND、D、A、OEおよびWEピンが、パッケージの縦

方向中央線に関して左右対称でパッケージ70の平面の垂線に関して180度回転対称に分布されている。チップ選択ピン11と12はパッケージの反対縁上の冗長ピン37と38に相対する。チップ選択ピン11と12および冗長ピン37と38はそれぞれ、パッケージ13、14、35、36の同じ側の各冗長ピン対に隣接している。

パッケージ70が第2パッケージ70上に逆さまに構成して配置されている場合、チップ選択CSピン以外の電氣的接続ピン82はそれぞれ、他のパッケージ70の同じピン82に重なる。パッケージ70の2つのチップ選択ピンは他のパッケージ70の各冗長ピン84に接続され、逆も同様である。したがって、2つのパッケージ70のモジュール88は、第4図に示すモジュール88と同様に構成でき、そのモジュール88は4個のチップ選択ピンを備えており、チップ選択ピンの対はモジュール88の両側に配置されている。2つのパッケージ・モジュール88は、各パッケージ70のピン13、14、35、36に対応する

4つの冗長ピンも備えている。

第7図では、嵌合モジュール90が2つのモジュール88から構成されている。各モジュール88は1対のパッケージ70を含む。最上部のモジュール88は底部のモジュール88に関して180度回転されており、上側のモジュール88の4つのチップ選択CSピンは下側のモジュール88の4つの冗長ピン12、14、35、36上に置かれている。したがって、その結果形成される4層スタック・モジュール90は、モジュール90の1方の側の位置11、12、13、14と他方の側のピン35、36、37、38により構成された8つのチップ選択ピンをもつことになる。各パッケージが4回対称移動されているので、チップ選択CSピン以外の各モジュール88の電氣的に接続されたピン82はすべて他のモジュール88の同様な対応するピン82に接続されて、その結果作成される4層のスタック・モジュール90のピンの分布は、第6図に示すパッケージ70の分布に対応する。

さらに他の実施例では、4対抗縁上にピンをもつパッケージは90度の回転対称された位置にあり、8個のパッケージ・スタックが可能である。第8図ないし第10図に示す本発明の第3実施例はこうした構成である。

第8図は、4つの対抗縁36、38、40、42を含む外部ケース34をもつ半導体チップ・パッケージ32の概略平面図である。この第3実施例では、パッケージ32の外部ケース34は単一半導体RAMチップ（図示せず）をカプセル封入している。各パッケージの記憶容量は64K×8である。パッケージ32は4つのピン行44、46、48、50を備えており、各行44、46、48、50は外部ケース34の各縁36、38、40、42に沿って配置される。各パッケージ32のチップの記憶容量は64K×8である。各パッケージ32は16個のアドレス・ピンAを含む。すなわち、8個のデータ・ピンD、4個の書き込み許可ピンWE、8個の電力入力ピンVCCおよび8個の接地ピンGNDである。こうしたピ

ンの組はパッケージ32の4つの縁36、38、40、42上に線対称および回転対称位置に配置されて、パッケージ32の対抗縁上でこうしたピンのそれぞれは同じピンに対抗し、パッケージ32の隣接縁では、90度の回転対称化が行なわれる。単純化するために、ピンアウト構成はパッケージ当たり1つのチップ選択CSピンを利用する。チップ選択CSピンはパッケージ32の1縁38上に配置されて、第8図では、ピン番号19として現われる。7個の冗長NCピンがさらに、位置6、8、21、32、34、45、47に備えられている。2つの冗長ピンは、チップ選択CSピンを備えてない3つの縁36、40、42のそれぞれに備えてある。7番目の冗長ピンはチップCS選択ピンとして同じ縁38に備えてある。チップ選択CSピンは、冗長ピン47に対抗位置にあり、さらに、チップCS選択ピン19として同じ縁38上にある冗長ピン21は、パッケージ32の縁38上の中央ピン20を通過する面に関して対称位置に配置される。各端部36、40、

42では、冗長ピンはチップ選択CSピンと線38上の冗長ピンの位置に対応する位置に置かれている。単純化のために、ピンアウトは出力許可ピンを含まない。

第9図は8個のスタック・パッケージ32からなるモジュール52を示す。モジュール52は、パッケージ32の4つの積重ね対54、56、58、60からなり、したがって8層のスタックを備えている。パッケージ32の底部対54では、上側のパッケージ32が、下側のパッケージ32の上に逆さまに配置されており、ピン44、46、48、50の重板列が互いに接続されている。それらのピンは第1実施例のそれと同様に接続される。すなわち、行44と48では、ピン番号1はピン番号39に、ピン番号2はピン番号38と続き、行46と50では、ピン番号14はピン番号38に、ピン番号15はピン番号51にと続く。パッケージ32の底部対54では、共通線38が第9図に示すようになるよう2つのパッケージ32は互いに関して回転した位置にはない。チップ

58の線42上に配置されている。したがって、パッケージ32の4つの積重ね対54、56、58、60は8層のモジュール52を形成し、8層はそれぞれ、他の層とは異なるチップ選択CS位置をもつが、任意の層のチップ選択位置は他の層の冗長ピン位置に対応する。

第10図は、第9図に示すモジュール52用のプリント回路基板64上のピンアウト接続パッド構成62を示す。8個のチップ選択パッドCS0ないしCS7があり、それぞれ対応する層32の対応するチップにアクセスする。図面では、CSはモジュール52の層nのチップ選択CSピンに対応する。したがって、接続パッド構成の各端部は2つのチップ選択CSパッド、4つのアドレスAパッド、2つのデータDパッド、2つの接地GNDパッド、2つの電力VCCパッドおよび1つの書込み許可WEパッドをもつ。そのモジュールの記憶容量は8 x 64K x 8である。

(発明の効果)

本発明は、同一の半導体チップ・パッケージを

チップ選択ピン19は冗長ピン47に接続され、残りの冗長ピンは互いに接続されている。パッケージ38の第2の対56は第1の対54上に配置される。パッケージ56の第2対は、第1対54と同様に接続されるが、第2対56は第1対54に関して90度回転しており、第2対56のパッケージ32の2つの線40は、第9図に示すように第1対54の2つの線38上に位置している。第2対56のピンは互いに接続されると共に第1対のそれらにも接続されて、第2対56の各パッケージ32のチップ選択CSピンはそれぞれ対応する冗長ピンに接続されている。それらの冗長ピンは対応するチップ選択CSピン以外の選択ピンには接続されない。パッケージ32の第3対58は同様に第2対56上に取付けられており、第3対58は、第3対58の2つのパッケージ32の線42が第2対56の線40上に位置するように第2対に関して90度回転されている。パッケージ32の第4の対60は、第3の対58上に同様に配置されており、第4の対の線36は第3の対

積み重ねることにより、半導体組立体の占める表面積を減少させることができるピンアウト構成を備えているので従来技術よりも極めて有益である。特定の線対称化および回転対称化による構成を説明してきたが、当然のことながら、本発明は様々な回転および線対称化の構成を採用することができる。

#### 4. 図面の簡単な説明

第1図は本発明の第1実施例による半導体チップ・パッケージのピンアウト構成を概念的に示す平面図である。

第2図は第1図の半導体チップ・パッケージの側面図である。

第3図は第1図の半導体チップ・パッケージの電子回路構成を概念的に示す図である。

第4図は第1図の2つの半導体チップ・パッケージを積重ね状に構成するモジュールの側面図である。

第5図は第4図のモジュールの電子回路を概念的



的に示す図である。

第6図は本発明の第2実施例により半導体チップ・パッケージのピンアウト構成を概略的に示す平面図である。

第7図は第6図の4つの半導体チップ・パッケージを組み重ねて構成されたモジュールの側面図である。

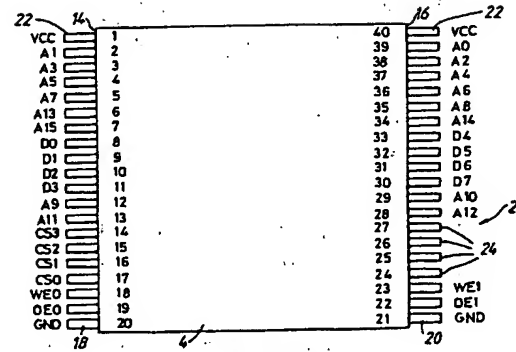
第8図は本発明の第3実施例による半導体チップ・パッケージのピンアウト構成を概略的に示す平面図である。

第9図は第8図の8つの半導体チップ・パッケージを組み重ねて構成したモジュールの側面図である。

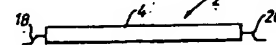
第10図は第9図に示すモジュールを接続するプリント回路基板上の接着パッドを概略的に示す平面図である。

2…半導体チップ・パッケージ、4…外部ケース、18、20…ピン、6、8、10、12…半導体チップ。

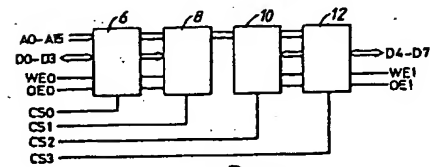
出願人代理人 佐藤 一 雄



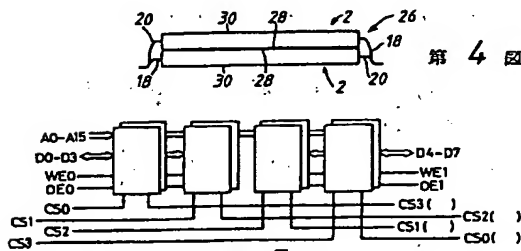
第1図



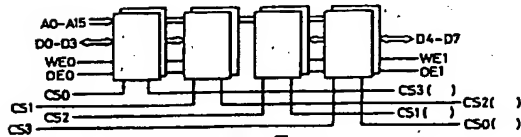
第2図



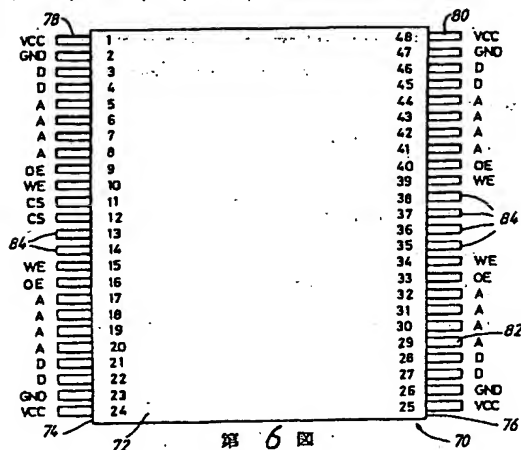
第3図



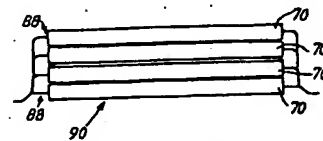
第4図



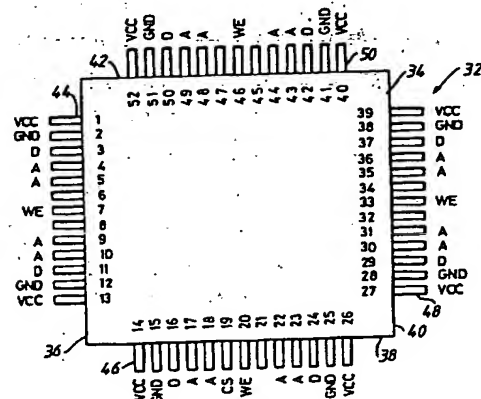
第5図



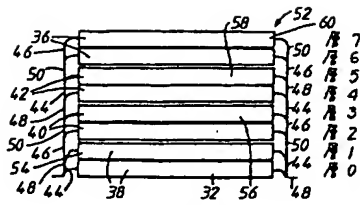
第6図



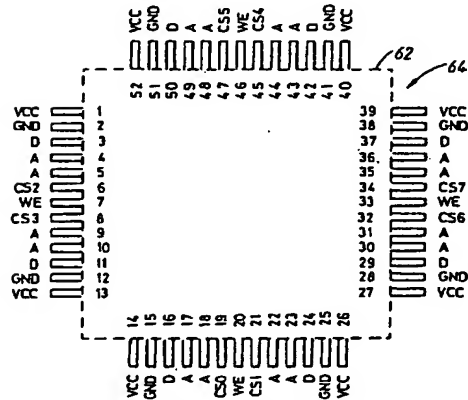
第7図



第8図



第 9 図



第 10 図

第 1 頁の続き

⑤Int. Cl. <sup>5</sup>

H 01 L 25/11  
25/18

識別記号

庁内整理番号